



PATENT ABSTRACTS F JAPAN

(11) Publication number. 07203293 A

(43) Date of publication of application: 04.08.95

(51) Int. Cl

H04N 5/262

(21) Application number. 05337058

(71) Applicant

CANON INC

(22) Date of filing: 28.12.93

(72) Inventor:

HORII HIROYUKI

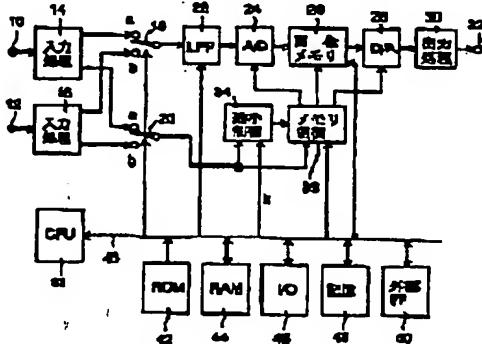
(54) PICTURE PROCESSING UNIT

(57) Abstract

PURPOSE: To form a multi-picture from a picture of a different video signal standard.

CONSTITUTION: A switch 18 selects a video signal processed by input processing circuits 14, 16 and a switch 20 selects a synchronizing signal separated by the input processing circuits 14, 16. An output of the switch 18 is applied to a picture memory 26 via an LPF 22 and an A/D converter 24. A reduction control circuit 34 provides an output of a horizontal vertical enable signal to a memory control circuit 36 in a timing depending on a reduction rate (k) (02121) from a CPU 38 based on a synchronizing signal from a switch 20. The memory control circuit 36 controls the write to a picture memory 26 according to the enable signal from the reduction control circuit 34 and a synchronizing signal from the switch 20 to control a write address according to stored coordinate information from the CPU 38.

COPYRIGHT: (C)1995,JPO



not drawing

(51)Int.Cl.
H 04 N 5/262

識別記号

府内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数1 O L (全4頁)

(21)出願番号 特願平5-337058

(22)出願日 平成5年(1993)12月28日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 堀井・博之

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

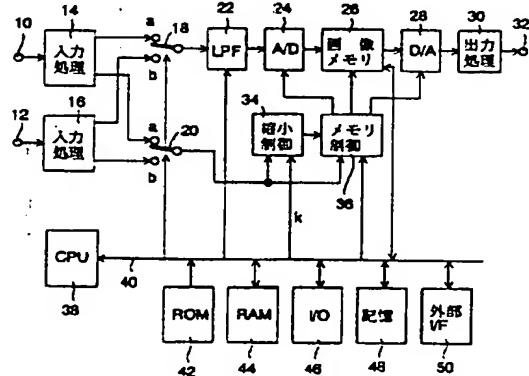
(74)代理人 弁理士 田中 常雄

(54)【発明の名称】画像処理装置

(57)【要約】

【目的】異なるビデオ信号規格の画像からマルチ画を形成できるようにする。

【構成】スイッチ18は、入力処理回路14, 16により入力処理されたビデオ信号を選択し、スイッチ20は入力処理回路14, 16により分離された同期信号を選択する。スイッチ18の出力はLPF22及びA/D変換器24を介して画像メモリ26に印加される。縮小制御回路34は、スイッチ20からの同期信号を基準に、CPU38からの縮小率k($0 < k \leq 1$)に応じたタイミングで水平垂直のイネーブル信号をメモリ制御回路36に出力する。メモリ制御回路36は、スイッチ20からの同期信号と縮小制御回路34からのイネーブル信号に従って画像メモリ26への書き込みを制御し、CPU38からの記憶座標情報に従い書き込みアドレスを制御する。



【特許請求の範囲】

【請求項1】少なくとも1画面の画像データを記憶する画像メモリ手段と、指定された縮小率に従って入力画像の縮小制御信号を生成する縮小制御手段と、当該縮小制御手段の縮小制御信号及び画像メモリ手段の記憶位置制御信号に従い、当該画像メモリ手段への当該入力画像の記憶を制御するメモリ制御手段とからなることを特徴とする画像処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、画像処理装置に関し、より具体的には、入力画像をマルチ画出力する画像処理装置に関する。

【0002】

【従来の技術】この種の従来の画像処理装置は、同一フォーマットの所定数の入力画像をマルチ画に構成するものである。

【0003】近年、標準品位のテレビジョン放送だけでも、NTSC、PAL及びSECAM方式があり、これに高品位テレビジョン信号やコンピュータのビデオ出力を加えると、多数のビデオ信号規格が存在する。

【0004】従来、所定数の入力画像から1つのマルチ画を形成する上述のような画像処理装置は、1つのビデオ信号規格に対応できるのみであり、複数種類のビデオ信号規格に対応するものは存在しない。

【0005】

【発明が解決しようとする課題】即ち、従来では、異なるビデオ信号規格の画像からマルチ画を形成するには、ビデオ信号規格を変換する変換器で1つの共通ビデオ信号規格に予め変換しておく作業が必要であった。

【0006】本発明は、このような面倒なしに、異なるビデオ信号規格の画像からマルチ画を形成できる画像処理装置を提示することを目的とする。

【0007】

【課題を解決するための手段】本発明に係る画像処理装置は、少なくとも1画面の画像データを記憶する画像メモリ手段と、指定された縮小率に従って入力画像の縮小制御信号を生成する縮小制御手段と、当該縮小制御手段の縮小制御信号及び画像メモリ手段の記憶位置制御信号に従い、当該画像メモリ手段への当該入力画像の記憶を制御するメモリ制御手段とからなることを特徴とする。

【0008】

【作用】上記手段により、入力画像の解像度等に関わらず、指定された縮小率に従って入力画像を縮小して上記画像メモリ手段の指定位置に格納することができる。これにより、異なるビデオ信号規格の画像であっても、容易にマルチ画を形成できる。

【0009】

【実施例】以下、図面を参照して本発明の実施例を説明する。

【0010】図1は、本発明の一実施例の概略構成ブロック図を示す。10、12はビデオ信号の入力端子、14、16は入力端子10、12からのビデオ信号をRGB(又は輝度/色差)の共通表現形式に変換する入力処理回路、18は入力処理回路14、16のビデオ出力を選択するスイッチ、20は入力処理回路14、16から出力される同期信号を選択するスイッチである。スイッチ18、20は連動しており、スイッチ18が入力処理回路14のビデオ出力を選択するとき、スイッチ20は入力処理回路14の同期信号出力を選択する。逆に、スイッチ18が入力処理回路16のビデオ出力を選択するとき、スイッチ20は入力処理回路16の同期信号出力を選択する。

【0011】22はスイッチ18の出力を帯域制限するローパス・フィルタ(LPF)、24はLPF22の出力をデジタル信号に変換するA/D変換器、26はA/D変換器24から出力される画像データを記憶する画像メモリである。28は画像メモリ26から読み出された画像データをアナログ信号に変換するD/A変換器、30はD/A変換器28から出力される画像信号を所定のビデオ信号形式に変換して出力する出力処理回路、32は出力処理回路30の出力信号を外部に出力する出力端子である。

【0012】34はマルチ画を形成するための、入力画像の縮小処理を制御する縮小制御回路、36は、画像メモリ26の書き込み及び読み出しを制御すると共に、A/D変換器24及びD/A変換器28に適切なサンプリング・クロックを供給するメモリ制御回路である。

【0013】38は全体を制御するCPUであり、そのCPUバス40には、ROM42、RAM44、I/O回路46、ハード・ディスク装置などの記憶装置48及び外部インターフェース50が接続する。CPU38は、CPUバス40を介して画像メモリ26にアクセスでき、また、スイッチ18、20、LPF22の通過帯域、縮小制御回路34及びメモリ制御回路36を制御する。

【0014】以下、本実施例の動作を詳細に説明する。入力処理回路14、16は、入力端子10、12からのビデオ信号をRGB等の共通形式に変換し、それぞれスイッチ18のa接点及びb接点に供給する。入力処理回路14、16はまた、当該ビデオ信号から分離した水平垂直同期信号をそれぞれスイッチ20のa接点及びb接点に供給する。

【0015】スイッチ20により選択された同期信号は縮小制御回路34及びメモリ制御回路36に印加される。縮小制御回路34にはCPU38からの縮小率k($0 < k \leq 1$)の制御信号が供給され、縮小制御回路34は、スイッチ20からの同期信号を基準に、この縮小率kに応じたタイミングで水平垂直のイネーブル信号をメモリ制御回路36に出力する。CPU38は画像メモ

リ26上の記憶座標に関する情報をメモリ制御回路36に供給し、メモリ制御回路36は、スイッチ20からの同期信号と縮小制御回路34からのイネーブル信号に従って、A/D変換器24へのサンプリング・クロック、並びに画像メモリ26への書き込みアドレス及び書き込み制御信号を発生する。

【0016】スイッチ18により選択されたビデオ信号はLPF22に印加され、LPF22はスイッチ18からの信号を、CPU38により制御される帯域に制限する。A/D変換器24は、メモリ制御回路36からのサンプリング・クロックに従いLPF22の出力をデジタル信号に変換し、画像メモリ26に印加する。画像メモリ26は、A/D変換器24の出力データを、メモリ制御回路36からの書き込みアドレスに順次記憶する。これにより、画像メモリ26には、CPU38により指定される座標位置に、CPU38により指定される縮小率kで縮小された画像が格納される。

【0017】入力端子10, 12の所定数の入力画像について上記処理を行なうことにより、画像メモリ26には、所定数、例えば 3×3 とか 5×5 の画像からなるマルチ画像が記憶される。

【0018】画像メモリ26にマルチ画の画像が形成されると、CPU38はメモリ制御回路36に読み出しを指示する。この指示に従い、メモリ制御回路36は画像メモリ26から記憶データを順番に読み出す。画像メモリ26から読み出された画像データはD/A変換器28によりアナログ信号に変換され、出力処理回路30により所定ビデオ信号形式に変換される。出力処理回路30の出力は出力端子32から外部のモニタ装置などに印加され、映像表示される。

【0019】画像メモリ26は、CPUバス40を介して記憶装置48及び外部インターフェース50と連絡しており、画像メモリ26の記憶データを記憶装置48に記憶し、又は外部インターフェース50を介して外部出力することができる。逆に、記憶装置48に記憶する画像をそのままの大きさで又は縮小して画像メモリ26に格納することができ、また、外部から外部インターフェース50を介して取り込んだ画像をそのままの大きさで又は縮小して画像メモリ26に格納することができる。縮小処理はCPU38が担当すればよい。

【0020】図2は、縮小制御回路34の一回路例を示す。但し、水平方向に縮小する回路部分を図示してある。60はCPU38からの縮小率kを記憶するラッチ、62は係数値を一時記憶するラッチ、64はラッチ60, 62の保持値を加算する加算器である。加算器64の最上位ビットMSBが水平イネーブル信号となり、最上位ビット以外はラッチ62の入力となる。ラッチ62の最上位ビットは常に0である。

【0021】ラッチ60はCPU38からの縮小率kを記憶し、ラッチ62は、水平同期信号H syncにより

リセットされる。加算器64はラッチ60, 62の保持値を加算し、加算結果のMSBが水平イネーブル信号となる。加算結果のMSB以外はラッチ62に入力され、クロックにより取り込まれる。水平イネーブル信号はメモリ制御回路36の水平アドレス・カウンタを進める。これにより、例えば、水平の縮小率が0.5のとき、2クロックに1回水平イネーブル信号が発生し、水平の縮小率が0.25のとき、4クロックに1回水平イネーブル信号が発生する。

【0022】図2の動作を算術式表現したのが図3である。上段がラッチ60の記憶値(縮小率k)、その下がラッチ62の記憶値である。加算結果の小数部分がラッチ62に帰還される。ラッチ62のMSBは常に0である。加算結果で桁上がりが生ずると、それが水平イネーブル信号としてメモリ制御回路36に出力される。

【0023】ラッチ60に1をセットすると、加算結果のMSBは常に1になり、クロックの度に水平イネーブル信号が発生する。即ち、縮小されない等倍での画像メモリ26への書き込みとなる。

【0024】水平方向の縮小に関して説明したが、垂直方向の縮小も同様である。

【0025】上記実施例で入力画像を水平垂直各々20%に縮小してマルチ画像を形成する場合を考える。64 0×480 画素のNTSCビデオ信号入力時には、縮小により 128×96 画素の縮小画像が得られる。768 $\times 576$ 画素のPALビデオ信号入力時には、縮小により 154×115 画素の縮小画像が得られる。また、 $1,920 \times 1,035$ 画素のハイビジョン・ビデオ信号入力時には、縮小により 384×207 画素の縮小画像が得られる。

【0026】図4は、モニタ画面に表示したマルチ画の一例を示す。70は、NTSC画像を水平垂直各々20%に縮小した画像、72はPAL画像を水平垂直各々20%に縮小した画像、74はハイビジョン画像を水平垂直各々20%に縮小した画像である。

【0027】入力端子10, 12に入力する画像のみならず、記憶装置48に記憶される画像や、外部インターフェース50から入力する画像も、上述のマルチ画形成の対象たりうることはいうまでもない。外部インターフェース50が通信インターフェースであってもよいことも勿論である。

【0028】

【発明の効果】以上の説明から容易に理解できるように、本発明によれば、非常に簡便に、異なる信号形式の画像からマルチ画を形成できる。

【図面の簡単な説明】

【図1】 本発明の一実施例の概略構成ブロック図である。

【図2】 縮小制御回路34の水平イネーブル信号発生回路部分の回路図である。

【図3】 図2に対応する算術演算表現である。

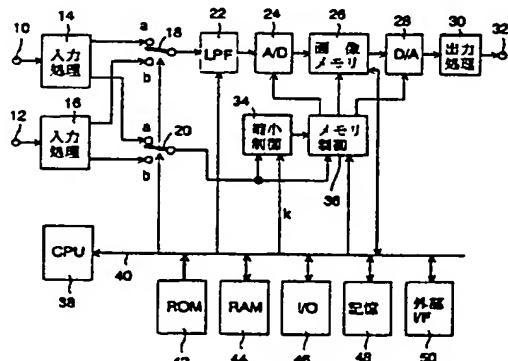
【図4】 マルチ画の一例である。

【符号の説明】

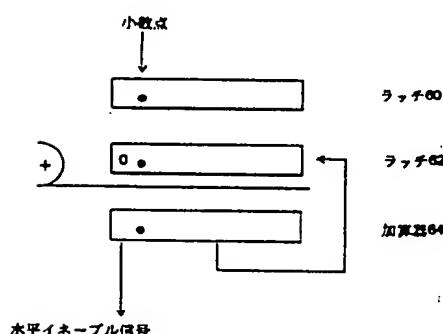
10, 12: ビデオ信号入力端子 14, 16: 入力処理回路
 18, 20: スイッチ 22: ローパス・フィルタ
 24: A/D変換器 26: 画像メモリ
 28: D/A変換器 30: 出力処理回路 32: 出力端子
 34: 縮小制御回路 36: メモリ制御回路 38: CPU

8: CPU 40: CPUバス 42: ROM
 44: RAM 46: I/O回路 48: 記憶装置 50: 外部インターフェース 60, 62: ラッチ 62: 加算器 70: NTSC画像を水平垂直各々20%に縮小した画像 72: PAL画像を水平垂直各々20%に縮小した画像 74: ハイビジョン画像を水平垂直各々20%に縮小した画像

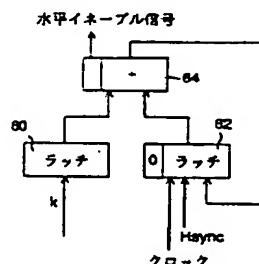
【図1】



【図3】



【図2】



【図4】

